**Deneyin Amacı:**

Temel lojik kapıların incelenmesi ve tek kararlı ikili devrelerin çalışma prensiplerinin gözlemlenmesi.

**Ön Hazırlık:**

**Doğruluk Tabloları**

|  |  |  |
| --- | --- | --- |
| **AND** | | |
| **A** | **B** | **Çıkış** |
| **0** | **0** | **0** |
| **0** | **1** | **0** |
| **1** | **0** | **0** |
| **1** | **1** | **1** |

|  |  |  |
| --- | --- | --- |
| **OR** | | |
| **A** | **B** | **Çıkış** |
| **0** | **0** | **0** |
| **0** | **1** | **1** |
| **1** | **0** | **1** |
| **1** | **1** | **1** |

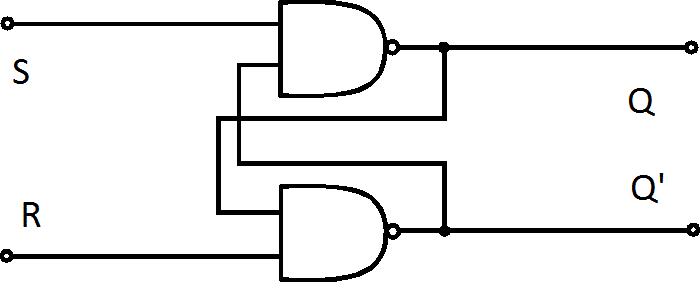
|  |  |  |
| --- | --- | --- |
| **NAND** | | |
| **A** | **B** | **Çıkış** |
| **0** | **0** | **1** |
| **0** | **1** | **1** |
| **1** | **0** | **1** |
| **1** | **1** | **0** |

|  |  |  |
| --- | --- | --- |
| **NOR** | | |
| **A** | **B** | **Çıkış** |
| **0** | **0** | **1** |
| **0** | **1** | **0** |
| **1** | **0** | **0** |
| **1** | **1** | **0** |

|  |  |
| --- | --- |
| **NOT** | |
| **A** | **Çıkış** |
| **0** | **1** |
| **1** | **0** |

****

Yukarıda şematiği verilen devrede transistor , ledi sürebilmek için kullanılmıştır. Şematikten görülebileceği üzere NAND kapısının verdiği çıkışa bağlı olarak transistorun baz gerilimi değişecek ve bu duruma bağlı olarak transistorun aktif bölgede çalışıp çalışmaması kontrol edilebilecektir. Kullanılan dirençler ise sistemden yeterli akımı çekebilmek için kullanılmıştır.



Şekil 13 te verilen devre, topolojisi değiştirilmeden NAND kapısı kullanılarak tekrar kurulacak olursa, yukarıda verilen şematik elde edilir. Şematiği yukarıda verilen SR Flip – Flop devresinin doğruluk tablosu ise aşağıdaki gibi elde edilecektir.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Durum** | **SR Flip – Flop (NAND)** | | | |
|  | **S** | **R** | **Q** | **Q’** |
| 1 | 1 | 0 | 0 | 1 |
| 2 | 1 | 1 | 0 | 1 |
| 3 | 0 | 1 | 1 | 0 |
| 4 | 1 | 1 | 1 | 0 |
| 5 | 0 | 0 | 1 | 1 |

Tabloda görülebildiği gibi girişler “S” ve “R” şeklindeyken, çıkışlar “Q” ve “ Q’ ” şeklindedir. Yani çıkışlar birbirinin tersidir. Bu bilgiden hareketle, tabloda görülen son durum, yani S=0,R=0,Q=1,Q’=1 durumu bu flip – flop için yasak konumdur.

Durumlar incelendiğinde 1 den 2 ye geçişte ve 3 ten 4 e geçişte çıkışlarda değişme olmamıştır. Bu geçişlerde sistem var olan bilgiyi hafızada tutmuştur.

**Deney 6.2 – NAND kapısının incelenmesi:**

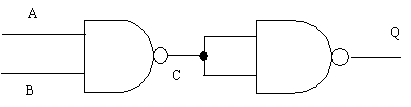
Şekil 6.9’daki devre CADET üzerine kuruldu. Devredeki NAND kapısını içinde dört adet NAND kapısı barındıran CD4011B entegresi kullanılarak devreye yerleştirildi. Devrenin transistor ve ledden oluşan kısmı ise CADET üzerinde mevcut olduğundan sadece entegre devresi ve beslemesi kuruldu. CADET üzerindeki switchler yardımıyla NAND kapısının doğruluk tablosu çıkarıldı. Elde edilen sonuçlar teorik olarak beklediğimiz sonuçlarla aynı olduğu gözlemlendi.

|  |  |  |
| --- | --- | --- |
| A | B | Y |
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

NAND Kapısı Doğruluk Tablosu

Sadece NAND kapıları kullanılarak NOT ve AND işlemleri de gerçekleştirilebilir. Aşağıda verilen şematikler bu işlemlerin nasıl yapılacağını göstermektedir.

Solda verilen şematik NAND kapısı ile nasıl NOT kapısı elde edilebileceğini göstermektedir.

 Solda verilen şematik NAND kapıları kullanılarak nasıl AND kapısı elde edilebileceğini göstermektedir.

**Deney 6.4 Çift Kararlı İkili Devre**

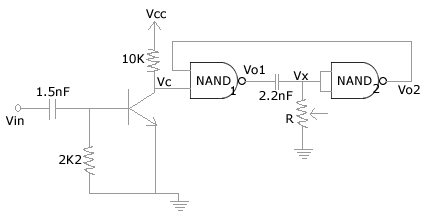
Şekil 6.13’teki devre NOR kapısı yerine CD4011B entegresinin iki NAND kapısı kullanılarak CADET üzerine kuruldu. Devre SR Latch olarak bilinen çift kararlı ikili devredir. Devrenin doğruluk tablosu switchler yardımıyla çıkarılarak teorik sonuçlarla karşılaştırıldı. Sonuçların tam olarak ön hazırlıkta bulunan tablo ile uyuştuğu gözlemlendi.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| S | R | Q | Q’ |  |
| 0 | 0 | 1 | 1 | Yasak Konum |
| 0 | 1 | 1 | 0 |  |
| 1 | 0 | 0 | 1 |  |
| 1 | 1 | Q | Q’ | Hafıza konumu(konumunu korur.) |

SR Latch Doğruluk Tablosu

S=0, R=0 durumu olduğunda çıkışlar Q=1, Q’=1’e gideceği için çift kararlılık bozulur. Q ve tümleyeni aynı anda 1 olamaz örneğin bir sisteme aynı anda hem silme hem de yazma komutu aynı anda gönderilirse sistemde sorun olur bu yüzden bu konum yasak konumdur. S=1, R=1 durumu hafıza konumudur yani önceki durum ne ise o durumu aynen korur. Bu flip-floplardaki ve latchlerdeki tutma olayını açıklar.

**Deney 6.6 – Tek Kararlı İkili Devre:**

****

**Şekil-6.16**

Tek kararlı ikili devreleri incelemek amacıyla Şekil 6.16’daki devre CADET üzerine kuruldu ve girişe 5V kare dalga işareti verildi. Vx (100kΩ pot) ve Vc (kollektör) zamanla değişimi osiloskop ile gözlemlendi. Osilsoskop yardımıyla transistörün kollektör ucunun gerilim grafiği incelendiğinde görülen grafik belirli aralıklarla 0V’a düşen ve hızla 5V’a yükselen bir şekildeydi.

Girişe işaret vermediğimiz zaman transistor kesimde olduğundan Vc lojik 1 seviyesindedir. Diğer taraftan ikinci NAND kapısının giriş uçları lojik 0 seviyesindedir ve Vo2 çıkışı lojik 1’dir. İlk NAND kapısının girişleri(Vx) girişte işaret yokken (1,1) konumundadır. Dolayısıyla Vo1 lojik 0’dır.

Girişe işaret uygulanıp kare dalganın tepesi geldiğinde transistor iletime geçer ve Vc lojik 0’a döner. İlk NAND kapısının girişlerinden biri lojik 0 olduğundan Vo1 hemen lojik 1 olur. Lojik kapılar CMOS yapılar olduğundan çıkış değişimleri keskindir. Ancak, 2.2nF’lık kondansatör o kadar hızlı olmadığından hemen tepki veremez ve uçları arasındaki gerilim farkı hemen değişmez, Vx de lojik 1 olur. Vx lojik 1 olduğu için ikinci NAND kapısının çıkışı Vo2 ve ilk NAND kapısının üst girişi lojik 0 olur. Devre bu konumda iken Vin lojik 0’a çekilse bile devre konumunu değiştirmez. Vx lojik 1 olduğu için devredeki potansiyometre üzerinden bir akım akar ve Vx gerilimi azalmaya, kondansatör de dolmaya başlar. R direncinin büyük olması akımın küçük olmasını ve devrenin daha uzun süre bu konumda kalmasını sağlar. Ayrıca kapasitenin dolum süresini etkiler; R değeri artarsa daha yavaş dolar ve boşalır. Vx gerilimi lojik referans gerilimi VDD/2 oluncaya kadar azalır ve bu noktadan sonra ikinci NAND kapısının girişleri lojik 0 olur. Vc de 0 olduğundan ilk NAND kapısının çıkışı lojik 0 olur. Ancak gene kondansatör hızlı cevap veremediğinden uçları arasındaki gerilim hemen değişmez. Bir önceki konumda uçları arasındaki gerilim farkı VDD-VDD/2=VDD/2 olduğundan bunu korumak ister. Bu konumda Vo1 lojik 0 olduğundan Vx -VDD/2 ‘ye çekilmesi gerekir. Ancak devrede kullandığımız CD4011B entegresi içinde bulunan ESD diyotlarından dolayı bu değer -VDD/2 yerine -0.6V olarak kalır. ESD diyotları, ani voltaj değişiklerini engellemektedir ve bu diyotların eşik gerilimleri 0.6V'dur. Sonuç olarak teorik olarak beklediğimiz -2.5V yerine -0.6V değer aldık. Kararlılık noktası ise 0V’tur, devrenin eğilimi her zaman için bu yöndedir.

ESD diyotu olarak adlandırılan diyotlar, ani değişimleri engellemenin dışında statik elektriğin devreye vereceği zararı da önlemektedir.

Deneyler sırasında elde edilen veriler ve osciloscop kullanılarak elde edilen grafikler deney protokol kağıdına aktarılmıştır.